

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-251030

(43)Date of publication of application : 14.09.2001

(51)Int.Cl. H05K 1/02

(21)Application number : 2001-025715

(71)Applicant : INFINEON TECHNOLOGIES AG

(22)Date of filing : 01.02.2001

(72)Inventor : MUFF SIMON

(30)Priority

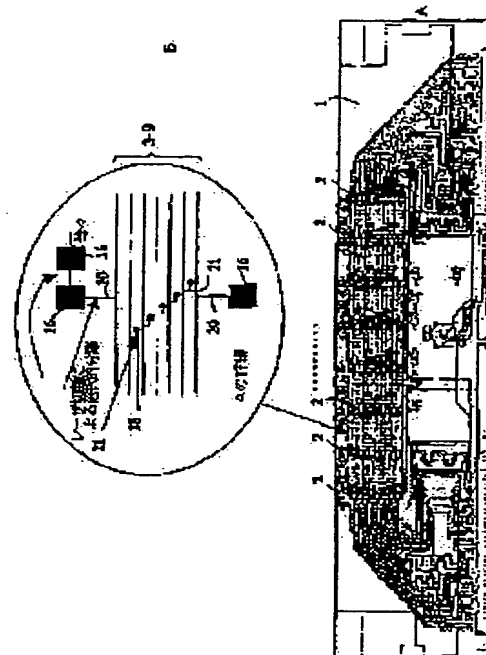
Priority number : 2000 10004649 Priority date : 03.02.2000 Priority country : DE

(54) METHOD AND APPARATUS FOR ADAPTING/ADJUSTING SIGNAL PROPAGATION TIME IN PATH SYSTEM OR PATH NETWORK BETWEEN INTEGRATED CIRCUIT MOUNTED ON PRINTED BOARD AND MEMORY PACKAGE HAVING PRINTED BOARD AND AT LEAST ONE MEMORY MODULE MOUNTED ON THIS PRINTED BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and apparatus for realizing a delay time window smaller than 20ps after measuring a delay time on a mount or a package without capacitive fine adjustment in a printed board made of a conventional FR4 material, and a memory package manufactured by this method.

SOLUTION: This method comprises A) a step of providing a capacitive load structure in at least one of path systems or path networks near one or a plurality of housings in one of one or a plurality of integrated circuits in the printed board, B) a step of measuring all important delays or signal propagation time in the path networks or the path systems between the integrated circuit and C) a step of separating a predetermined capacitive load structure from at least one conductor path according to the measuring results of the step B) in order to minimize the maximum signal delay to be generated.



## LEGAL STATUS

[Date of request for examination]

01.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3415830

[Date of registration]

04.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-251030

(P2001-251030A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 5 K 1/02

H 0 5 K 1/02

P

審査請求 有 請求項の数12 O L (全 6 頁)

(21) 出願番号 特願2001-25715(P2001-25715)

(22) 出願日 平成13年2月1日 (2001.2.1)

(31) 優先権主張番号 1 0 0 0 4 6 4 9 . 5

(32) 優先日 平成12年2月3日 (2000.2.3)

(33) 優先権主張国 ドイツ (D E)

(71) 出願人 599158797

インフィネオン テクノロジース アクチ  
エンゲゼルシャフト

ドイツ連邦共和国 ミュンヘン ザンクト  
マルティン シュトラッセ 53

(72) 発明者 シモン ムフ

ドイツ連邦共和国 ヘーエンキルヒェン  
エスターヴァーグナーシュトラッセ 24

(74) 代理人 100061815

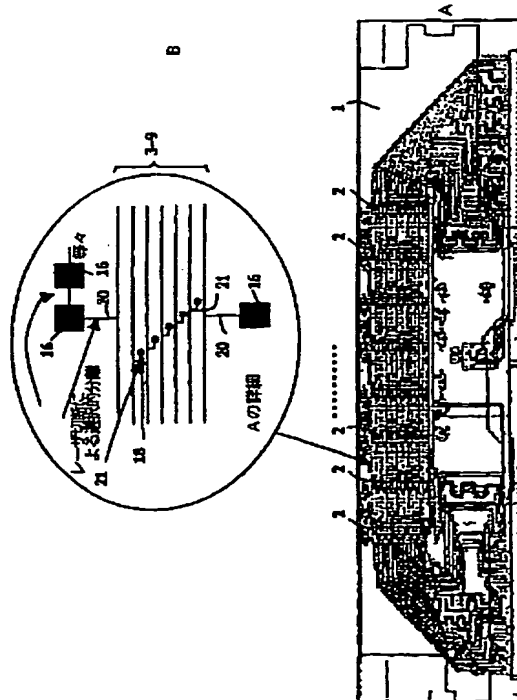
弁理士 矢野 敏雄 (外4名)

(54) 【発明の名称】 プリント基板上にマウントされた集積回路の間の線路システム又は線路網における信号伝播時間を適合／調整するための方法及び装置及びプリント基板とこのプリント基板上にマウントされた

(57) 【要約】

【課題】 20 p s よりも小さい遅延時間窓が従来の F R 4 材料から成るプリント基板において容量性微調整なしにマウント及びパッケージにおける遅延時間の測定の後で実現される方法、装置ならびにこの方法により製造されるメモリパッケージを提供することである。

【解決手段】 上記課題は、A) プリント基板には1つの乃至は複数の集積回路の1つの又は複数のハウジングの近傍の線路システム又は線路網の少なくとも1つの導体路に容量性負荷構造を設けるステップと、B) 集積回路の間の線路網又は線路システムにおける全ての重要な遅延乃至は信号伝播時間を測定するステップと、C) 発生する最大信号遅延を最小化するために、ステップB) の測定結果に従って少なくとも1つの導体路から所定の容量性負荷構造を選択的に分離するステップとによって解決される。



## 【特許請求の範囲】

【請求項 1】 プリント基板上にマウントされた集積回路の間の線路システム又は線路網における信号伝播時間を適合/調整するための方法において、

次のステップ、すなわち、

A) 前記プリント基板には 1 つの乃至は複数の集積回路の 1 つの又は複数のハウジングの近傍において前記線路システム又は前記線路網の少なくとも 1 つの導体路に容量性負荷構造を設けるステップと、

B) 前記集積回路の間の前記線路網又は前記線路システムにおける全ての重要な遅延乃至は信号伝播時間を測定するステップと、

C) 発生する最大信号遅延を最小化するために、ステップ B) における測定結果に従って前記少なくとも 1 つの導体路から所定の容量性負荷構造を選択的に分離するステップを特徴とする、プリント基板上にマウントされた集積回路の間の線路システム又は線路網における信号伝播時間を適合/調整するための方法。

【請求項 2】 ステップ B) 及び C) は繰り返されることを特徴とする、請求項 1 記載の方法。

【請求項 3】 ステップ A) における容量性負荷構造はそれぞれフェムトファラド領域又はサブフェムトファラド領域のキャパシタンスを有することを特徴とする、請求項 1 又は 2 記載の方法。

【請求項 4】 選択的分離ステップ C) はレーザ切断によって実施されることを特徴とする、請求項 1～3 のうちの 1 項記載の方法。

【請求項 5】 プリント基板上にマウントされた高速 DRAM メモリモジュールの間の線路システム又は線路網における信号伝播時間適合のための前記請求項 1～4 のうちの 1 項記載の方法の使用。

【請求項 6】 調整されていないチップ及びハウジング又は異なって調整されたチップ及びハウジングにおける請求項 5 記載の使用。

【請求項 7】 DRAM メモリモジュールの異なる材料における請求項 5 又は 6 記載の使用。

【請求項 8】 プリント基板及び/又はチップハウジングの製造トレランスの補整のための請求項 5～7 のうちの 1 項記載の使用。

【請求項 9】 プリント基板上にマウントされた集積回路の間の線路システム又は線路網における信号伝播時間を適合/調整するための装置において、該装置は組み合わせにおいて次のものを有する、すなわち、

1 つの乃至は複数の集積回路 (2) が設けられた少なくとも 1 つのプリント基板 (1) を支持するための支持手段 (10) を有し、前記プリント基板 (1) には前記 1 つの乃至は複数の集積回路 (2) の 1 つ又は複数のハウジングの近傍において前記線路システム又は前記線路網の少なくとも 1 つの導体路 (3～9) に容量性負荷構造

(16、18) が設けられ、

1 つの乃至は複数のプリント基板 (1) の前記集積回路の間の前記線路網又は前記線路システムにおける重要な遅延乃至は信号伝播時間を測定するための測定手段 (12) を有し、

該測定手段によって測定された最大信号遅延が最小化されるように所定の容量性負荷構造を選択的に分離するための分離手段 (14) を有する、プリント基板上にマウントされた集積回路の間の線路システム又は線路網における信号伝播時間を適合/調整するための装置。

【請求項 10】 容量性負荷構造は面 (16) 及び/又はコンタクトホール (18) を有することを特徴とする、請求項 9 記載の装置。

【請求項 11】 分離手段 (14) は切断レーザを有することを特徴とする、請求項 9 又は 10 記載の装置。

【請求項 12】 プリント基板とこのプリント基板上にマウントされた少なくとも 1 つのメモリモジュールとを有するメモリパッケージにおいて、

前記プリント基板 (1) には、信号を前記メモリモジュールから/前記メモリモジュールへ伝送する信号伝送線路網又は信号伝送線路システムに所属する、前記メモリモジュールのハウジング・フットプリント面の近傍の少なくとも 1 つの導体路において面又はコンタクトホールのような容易に分離できる線路構造 (16、18) が設けられており、該線路構造 (16、18) は前記導体路及びマウントされた前記メモリモジュールに対して容量性負荷を形成し、

前記導体路における前記容量性負荷構造のうちの最大の信号遅延を有する所定の容量性負荷構造は、測定された最大信号伝播時間を最小化するために選択的に分離可能であることを特徴とする、プリント基板とこのプリント基板上にマウントされた少なくとも 1 つのメモリモジュールとを有するメモリパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、プリント基板上にマウントされた集積回路、とりわけ高速メモリモジュールならびにこの高速メモリモジュールにより製造されるメモリパッケージの間の線路システム又は線路網における信号伝播時間を適合/調整するための方法及び装置及びプリント基板とこのプリント基板上にマウントされた少なくとも 1 つのメモリモジュールとを有するメモリパッケージに関する。

【0002】

【従来の技術】 高速メモリモジュール、いわゆるハイパフォーマンス DRAM においては、モジュール面乃至はシステム面上の様々な線路網乃至は信号伝送線路の信号伝播時間が互いに数ピコ秒内に調整されなければならない。この結果、このメモリモジュールの所望の高速及び性能が保証される。

【0003】このような伝播時間の差は主にメモリパッケージに設けられる個別ハウジングの容量性成分によって影響を受ける。しかし、製造技術的なプロセス限界によって、個別コンポーネントは単に互いに約20 fFのオーダ内に及びプリント基板に調整される。これは約20 p sの最大遅延時間窓に対しては充分である。微調整はアプリケーションチップにおける相応の測定の後で実施されなければならない。この場合、ふつうはこの測定ステップ及び調整ステップの繰り返しが必要である。より小さい遅延時間窓及びより細かい微調整が必要な場合には、今日までは例えばセラミック及び/又はC4マウンティング(C4-Montage)のような比較的高価な基礎材料が使用される。

#### 【0004】

【発明が解決しようとする課題】本発明の課題は、20 p sよりも小さい遅延時間窓が従来のFR4材料から成るプリント基板において任意のチップのアプリケーションにおいて容量的な微調整なしにパッケージにおけるマウント及び遅延時間の測定の後で実現される、コスト的に有利な、簡単な及びフレキシブルな方法、この方法を

#### 【0005】

【課題を解決するための手段】上記課題は、方法において、次のステップ、すなわち、

A) プリント基板には、1つ乃至は複数の集積回路の1つの又は複数のハウジングの近傍において線路システム又は線路網の少なくとも1つの導体路に容量性負荷構造を設けるステップと、

B) 集積回路の間の線路網又は線路システムにおける全ての重要な遅延乃至は信号伝播時間を測定するステップと、

C) 発生する最大信号遅延を最小化するために、ステップB)における測定結果に従って少なくとも1つの導体路から所定の容量性負荷構造を選択的に分離するステップとによって解決される。

【0006】さらに、上記課題は、この方法を実施するための装置において、プリント基板上にマウントされた集積回路の間の線路システム又は線路網において信号伝播時間を適合/調整するための装置において、この装置は組み合わせにおいて次のものを有する、すなわち、1つの乃至は複数の集積回路が設けられた少なくとも1つのプリント基板を支持する支持手段を有し、このプリント基板には1つの乃至は複数の集積回路の1つ又は複数のハウジングの近傍において線路システム又は線路網の少なくとも1つの導体路に容量性負荷構造が設けられ、1つの乃至は複数のプリント基板の集積回路の間の線路網又は線路システムにおける重要な遅延乃至は信号伝播時間を測定するための測定手段を有し、この測定手段によって測定された最大信号遅延を最小するために所定の

容量性負荷構造を選択的に分離するための分離手段を有することによって解決される。

【0007】さらに、上記課題は、プリント基板とこのプリント基板上にマウントされた少なくとも1つのメモリモジュールとを有するメモリパッケージにおいて、信号をメモリモジュールからメモリモジュールへ伝送する信号伝送線路網又は信号線路システムに所属する、メモリモジュールのハウジング・フットプリント面の近傍の少なくとも1つの導体路におけるプリント基板には面又はコンタクトホールのような容易に分離できる線路構造が設けられており、この線路構造は導体路及びマウントされたメモリモジュールに対して容量性負荷を形成し、導体路における容量性負荷構造のうちの最大の信号遅延を有する所定の容量性負荷構造は、測定された最大信号伝播時間を最小化するために選択的に分離可能であることによって解決される。

#### 【0008】

【発明の実施の形態】上記のステップB)及びステップC)は繰り返し実施されうる。プリント基板上に1つの又は複数の集積回路の1つの又は複数のハウジングの近傍の線路網の線路のうちの少なくとも1つにおいて設けられた容量性負荷構造はサブフェムトファラド領域のキャパシタンスを有し、この結果、従来のFR4材料において5 p sの下のもっと小さい遅延時間窓が実現可能である。

【0009】有利には、所定の容量性負荷構造を分離するための選択的な分離ステップはレーザ切断によって実施される。従って、本発明の方法ではハウジング・フットプリント面の近傍に設けられた個々の容量性負荷構造は、線路網に所属する個々の線路の遅延時間の測定の後でレーザ切断によって選択的にこれらの線路から分離され、従って発生する最大伝播遅延が最小化される。

【0010】プリント基板製造における従来技術であるレーザ切断が可能であるように、線路網の本来の信号伝送線路への容量性負荷構造の接続部はこの場合ソルダレジストによって被覆されてはならない。

【0011】本発明の方法は、異なって調整されたチップ及びハウジングにおいて、プリント基板上の複数のDRAMモジュールの異なる材料において、高速DRAMメモリモジュールを予め調整することなしにプリント基板上にマウントされたこれらの高速DRAMメモリモジュールの間の線路システム又は線路網における信号伝播時間を適合させるために、ならびに、プリント基板及び/又はチップハウジングの製造トレランスを補整するために使用される。微調整は本発明ではプリント基板マウンティングの後で可能であるので、仕様範囲からはみ出す相応の伝播時間データを有する部分を後で修理することができ、破棄する必要がない。これは、小さい遅延時間窓における歩留まりの向上を可能にする。

【0012】さらに、プリント基板及びチップハウジン

グの制御しにくい製造トレランスが補整される。

【0013】

【実施例】次の本発明を図面に基づいて詳しく説明する。

【0014】図1のAにはプリント基板1が正面図において図示されており、このプリント基板1にはメモリモジュール2（例えば8個）がマウントされている。このプリント基板1は通常のFR4材料から成る。

【0015】図1のBによれば、メモリモジュール2を接続する線路網、例えばデータ又はアドレスバスに所属する導体路3～9がプリントされた導体面16の形式の容量性負荷構造を有し、これらの導体面16は互いに接続されかつそれぞれの導体路3～9に薄くプリントされた接続線路20によって接続されている。類似のやり方で、コンタクトホール（Vias）18の形式の容量性負荷構造が設けられており、これらのコンタクトホール18も同様に個々に薄くプリントされた接続線路21によって各導体路3～9に接続されている。

【0016】本発明では、プリント基板1上にマウントされたメモリモジュール2の間のこれらの線路網又は線路における重要な遅延乃至は信号伝播時間の測定の後で選択的に所定の容量性負荷構造を、すなわち個々の導体面16及び/又はコンタクトホール18を分離し、これによって発生する最大信号遅延を最小化する。導体面16乃至はコンタクトホール18の分離のために、その都度薄い接続線路20乃至は21を切断レーザによって分離する。

【0017】集積回路、すなわちメモリモジュール2の間の線路網の信号伝送線路における遅延乃至は信号伝播時間の測定及び容量性負荷構造の選択的な分離によって、20psより小さい遅延時間窓における遅延時間の調整が達成される。これらのステップは繰り返し実施される。

【0018】図1のBに示された容量性負荷構造、すなわち導体面16及び/又はコンタクトホール18は、それぞれのチップハウジングに対するこれらの容量性負荷構造のキャパシタンスがそれぞれフェムトファラド（Femtofarad）又はサブフェムトファラド（Subfemtofarad）領域にあるように構成される。

【0019】図2のA、図2のB及び図2のCは概略的にそれぞれ本発明の方法の実施のために設けられた装置を示し、より詳しく言えば、図2のA及び図2のBでは正面図において個々の集積回路、例えばメモリモジュール2を1つのプリント基板1又は複数のプリント基板1上で互いに接続する線路網における遅延時間乃至は信号伝播時間の測定の際の装置を示し、図2のCでは容量性負荷構造16、18の分離の際の装置を示す。

【0020】この場合、図2のAが示すような複数のプリント基板1はマザーボード15にマウントされるか、又は、この測定は図2のBに従って個々のプリント基板

1において実施される。測定手段12には測定センサが設けられており、これらの測定センサは関心の的である線路システム乃至は線路網の個々の導体路とのキャパシタンスのない、すなわち全くオーム抵抗性のコンタクトを行う。より詳しく言えば、個別モジュール平面又はマザーボード平面上の個々のメモリモジュールのプラグコンタクトにおいてこのキャパシタンスのない、すなわち全くオーム抵抗性のコンタクトを行う。

【0021】図2のA及び図2のBはさらに支持手段、例えばテーブル10を示している。このテーブル10は少なくとも1つのプリント基板1を支持するために設けられている。

【0022】図2のCは、分離ステップを実施する際の本発明の方法を実施するために設けられた装置を示す。この分離ステップでは切断レーザ14を用いて所期のとおりプリント基板1の上の個々の接続線路20、21（図1のB）を図2のA、図2のBにおける装置によってもとめられた測定結果に相応して分離する。

【0023】図2のCは、接続線路の分離がプリント基板の両側からレーザ14によって行われることを明瞭に示している。

【0024】ここで言及しておくが、本来の導体路と容量性負荷構造との図1のBに示された接続線路20、21はソルダレジストによって被覆されてはならない。これは本発明の有利なレーザ切断が可能であるようにするためである。

【0025】本発明の方法によって5psの下での最小の遅延時間窓がプリント基板の従来のFR4材料において達成される。調整されていないチップ及びハウジング又は異なって調整されたチップ及びハウジング、異なるプロセス技術によって製造されたチップ及びハウジング、個別コンポーネントにおける異なる材料が、プリント基板上において本発明の方法によって調整される。

【0026】プリント基板にメモリモジュールをマウントした後で本発明の方法による微調整が行われるので、仕様の枠からはみ出すコンポーネントを後で修理することができ、それゆえ破棄する必要がない。これによって存在する小さい遅延時間窓において製造歩留まりの向上が得られる。

【0027】さらに、大抵の場合制御できないプリント基板の製造トレランス及びおよそ制御しにくいチップハウジングの製造トレランスが本発明の方法によって補整される。

【0028】図2に図示した装置は概略的に原理的な装置を示しているだけであり、請求項の特徴部分記載の構成から逸脱しない限りは、実現可能な装置の詳細はこの原理的な装置とは異なりうることをここで注意しておく。

【図面の簡単な説明】

【図1】Aはメモリパッケージの正面図及びBは本発明

を容量性負荷構造を示すメモリパッケージの断面の拡大図である。

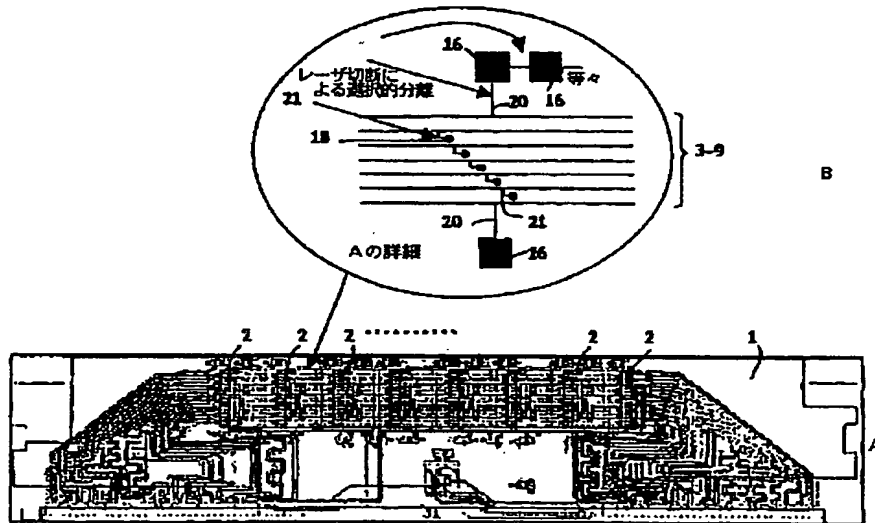
【図2】A及びBは測定ステップにおける本発明の方法を実施するための装置及びCは所定の容量性構造を選択的に分離する場合の本発明の方法を実施するための装置の概略図である。

【符号の説明】

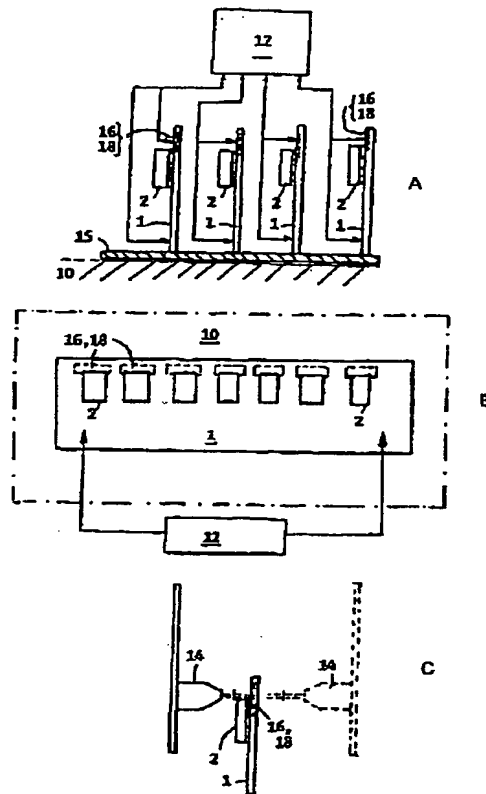
- 1 プリント基板
- 2 メモリモジュール

- 3～9 導体路
- 10 テーブル
- 12 測定手段
- 14 切断レーザ
- 16 導体面
- 18 コンタクトホール
- 20 接続線路
- 21 接続線路

【図1】



【図 2】



フロントページの続き

- (54) 【発明の名称】 プリント基板上にマウントされた集積回路の間の線路システム又は線路網における信号伝播時間を適合／調整するための方法及び装置及びプリント基板とこのプリント基板上にマウントされた少なくとも１つのメモリモジュールとを有するメモリパッケージ